

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-135592

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/418

11/41

11/401

7323-5L

7323-5L

G11C 11/34

301 B

301 E

審査請求 未請求 請求項の数1(全3頁) 最終頁に続く

(21)出願番号

特願平3-326586

(22)出願日

平成3年(1991)11月14日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岡田 秀二

東京都港区芝五丁目7番1号 日本電気株式会社社内

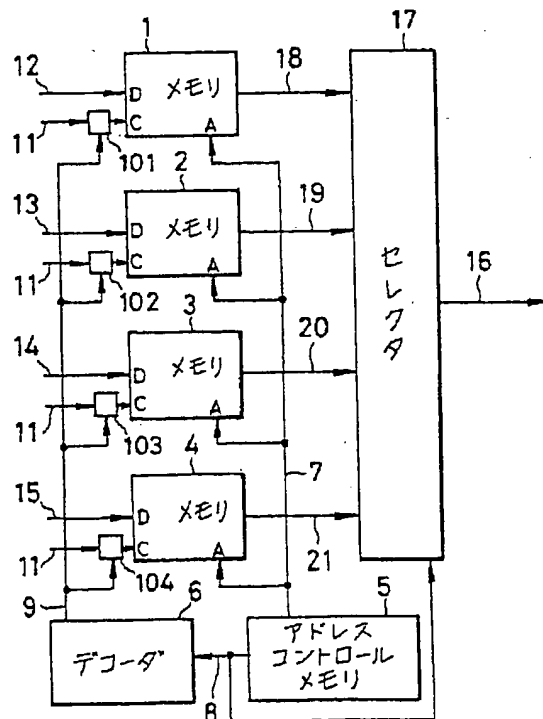
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 メモリ制御システム

(57)【要約】

【目的】 並列接続された複数のメモリを含むメモリシステムにおける消費電力を削減する。

【構成】 並列接続された複数のメモリに対してアドレスコントロールメモリ5から同一アドレスを指定する。これらメモリから夫々読出されたデータを、セクタ17で択一的に送出する。デコーダ6の出力データ9をクロック停止回路101~104に入力せしめ、セクタ17の選択制御をなすデータ8により特定されたメモリのみを動作させる。



## 【特許請求の範囲】

【請求項1】 並列接続された複数のメモリに対して同一アドレスを指定するアドレス指定手段と、前記複数のメモリから夫々読出されたデータを択一的に送出するセレクトと、このセレクトの選択制御をなす制御信号を送出する制御信号送出手段とを有するメモリ制御システムであって、前記制御信号により特定されたメモリのみを動作させる制御手段を有することを特徴とするメモリ制御システム。

## 【発明の詳細な説明】

## 【0001】

【技術分野】 本発明はメモリ制御システムに関し、特にCMOS構造の多並列RAMの読出制御のシステムに関する。

## 【0002】

【従来技術】 一般に、多数のRAMを並列接続することにより、メモリシステムを構築することがある。そして、それらメモリの読出し時のアドレスを制御するアドレスコントロールメモリ（アドレスコントローラ）を設けることが多い。

【0003】 その従来メモリシステムについて図2を参照して説明する。図2には、4つのRAMが並列接続された場合の構成例が示されている。

【0004】 図において、本例のシステムは、音声等の主デジタルデータ12～15を記憶する多並列のデータメモリ1～4と、そのデータメモリの読出し時のアドレスを制御するアドレスコントロールメモリ5と、4つのデータメモリのうちデータの出力を行いたいデータメモリを1つだけ選択する4—1セレクト17とを含んで構成されている。

【0005】 次に、動作について説明する。読出し動作において、互いに異なる主デジタルデータ12～15を記憶したデータメモリ1～4に対し、アドレスコントロールメモリ5が読出しアドレス7を指定すると、データメモリ1～4からは同時に同アドレスの主デジタルデータ18～21が読出される。

【0006】 アドレスコントロールメモリ5からは、アドレスの他に4つのデータメモリからのデータのうち出力を行いたい1つのみを選択するための2ビットの四者択一データ8が出力される。それを受けたセレクト17は4つのデータメモリからのデータのうち指定された1つのみのデータ（出力データ18～21のうちのいずれか1つ）を選択し、出力データ16が送出される。なお、図中の11は読出しクロックであり、各メモリのCはクロック端子、Dはデータ端子、Aはアドレス端子である。

【0007】 しかし、かかる構成とされた従来システムでは、読出しの対象ではないメモリからも読出しを行っているため、消費電力が大きいという欠点があった。

## 【0008】

【発明の目的】 本発明は上述した従来の欠点を解決するためになされたものであり、その目的は消費電力を削減することのできるメモリ制御システムを提供することである。

## 【0009】

【発明の構成】 本発明によるメモリ制御システムは、並列接続された複数のメモリに対して同一アドレスを指定するアドレス指定手段と、前記複数のメモリから夫々読出されたデータを択一的に送出するセレクトと、このセレクトの選択制御をなす制御信号を送出する制御信号送出手段とを有するメモリ制御システムであって、前記制御信号により特定されたメモリのみを動作させる制御手段を有することを特徴とする。

## 【0010】

【実施例】 次に、本発明について図面を参照して説明する。

【0011】 図1は本発明によるメモリ制御システムの一実施例の構成を示すブロック図であり、図2と同等部分は同一符号により示されている。

【0012】 図において、本例のシステムは、従来システム（図2）の構成に、4つのクロック停止回路101～104及びデコーダ6を追加した構成となっている。これらクロック停止回路及びデコーダにより、4つのメモリのうちの1つのみを動作させ、その他の3つのメモリについては読出し動作を阻止するのである。

【0013】 つまり、セレクト17への選択制御のデータ8をデコードすることにより、そのセレクト17で特定されたメモリのみを動作させるのである。本例ではメモリが4つであるため、データ8は2ビットであり、これをデコードした4ビットのデータ9でクロック停止回路101～104の1つのみを有効（通過状態）とし、他の3つは無効（抑止状態）とするのである。

【0014】 かかる構成において、データメモリ1～4の夫々に記憶された主デジタルデータ12～15は、アドレスコントロールメモリ5から供給されるアドレス7及び読出しクロック11によりデータ18～21として読出される。このとき、実際に読出しを行わせたいのは4つデータメモリ1～4のうちいずれか1つである。そこで、読出し動作を行う1つのメモリを識別するためにアドレスコントロールメモリ5から出力される2ビットのデータ8をデコーダ6によってデコードし、デコードされた四者択一のデータ9により、クロック停止回路101～104の1つのみが有効となる。つまり、読出しを行わない3つのデータメモリについては、読出しクロックを供給せず、読出し動作を阻止する。

【0015】 さらに、データ8によりセレクト17はメモリからの出力データ18～21のうち1つだけを選択して出力データ16として送出する。

【0016】 つまり、本システムによれば、並列接続された複数のメモリのうち、読出し対象となるもののみを

読出し動作させるため、消費電力が削減できるのである。なお、本実施例においてはメモリが4つの場合について説明したが、より多くの並列接続されたメモリについても同様に本発明が適用できることは明白である。この場合には、セレクトへの制御データのビット数を増加すれば良い。

【0017】また、各メモリは、DRAMの他、SRAMであっても本発明が適用できることは明白である。

【0018】クロック停止回路には、周知の3ステートバッファを用い、その各イネーブル端子にデコーダの出力を与えれば良い。読出しクロックの他、アウトプティネーブル信号(OE)や、CAS(カラムアドレスストロブ)及びRAS(ロウアドレスストロブ)を停止回路で供給停止しても同様の効果が得られる。

【0019】

【発明の効果】以上説明したように本発明は、読出し対象外のメモリの動作を阻止することにより、消費電力を削減できるという効果がある。

【図面の簡単な説明】

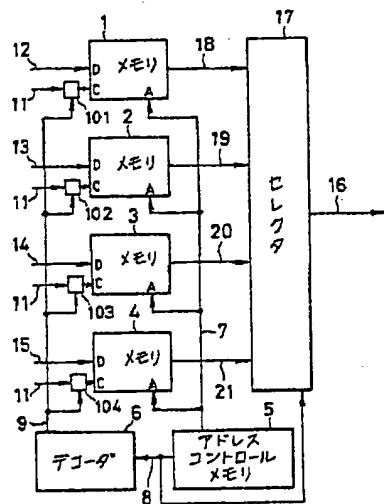
【図1】本発明の実施例によるメモリ制御システムの構成を示すブロック図である。

【図2】従来のメモリ制御システムの構成を示すブロック図である。

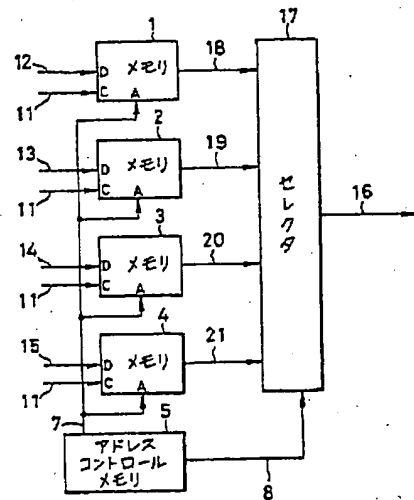
【符号の説明】

- 1～4 メモリ
- 5 アドレスコントロールメモリ
- 6 デコーダ
- 17 セレクト
- 101～104 クロック停止回路

【図1】



【図2】



フロントページの続き

(51)Int.Cl.<sup>5</sup>

識別記号 庁内整理番号  
8320-5L

F I  
G 1 1 C 11/34

技術表示箇所

3 6 2 H